

# 修士論文概要書

Summary of Master's Thesis

Date of submission: 01 / 08 / 2013 (MM/DD/YYYY)

専攻名 (専門分野) Department	物理学及 応用物理学	氏名 Name	安部 貴裕	指 導 教 員 Advisor	片岡 淳 印 Seal
研究指導名 Research guidance	放射線応用 物理学研究	学籍番号 Student ID number	5312A004-0 CD		
研究題目 Title	次世代 TOF-PET に向けた MPPC アレイ専用超高速 LSI の開発				

## 【研究の背景】

PET(陽電子断層撮影)は癌細胞がブドウ糖を過剰に摂取する性質を利用し、その早期発見に役立つ人体断層撮影法の一つである。しかしながら、従来の装置は光電子増倍管(PMT)を用いるため解像度が5-10mmと悪く、装置が大型であること、また高額で磁場耐性が無い等の種々の問題があった。これを受け、次世代 PET 技術として(1) TOF-PET (2) MRI-PET (3)DOI-PET の3つの技術が強く望まれている。とくに我々の研究室では、小型で高ゲインかつ磁場耐性の良い次世代半導体光素子 MPPC (Multi-Pixel Photon Counter)に着目し、これを PET の要素技術に組み込むことで次世代 PET に必要な3つの要素技術の統合を目指している。

本研究のテーマである TOF (time-of-flight)はガンマ線の到来時間差を利用した画像処理の効率化と高画質化への貢献が期待されている半面、非常に高い精度での時間計測が求められる。先行研究(2012年度松田修論)においてはリーディングエッジ法とカレントコンペア回路を組み合わせ、MPPC の高速読み出しに特化した LSI (MPPC32)の開発が行われ、491ps(FWHM)の時間分解能を達成した。しかしながら、この LSI は全出力を OR で出力するのみで読み出しも MPPC 単素子に限られ、MPPC アレイの読み出しには対応していなかった。本研究ではこれを克服した LSI (MPPC16) を新たに製作し、その性能評価まで一貫して行った。

## 【LSI の設計】

MPPC32 の高時間分解能を継承しつつ MPPC アレイ特有の問題であるピクセル間の性能のばらつき解消 および次世代技術の統合を視野にいれ、MPPC16 の設計および開発を行った。まず、時間検出部は MPPC32 でも用いたカレントコンペア回路を軸に構成した。これにより MPPC の検出器容量下(~300pF)でも高速な信号読み出しが可能で、低インピーダンスの入力部とその後段の大きな負荷抵抗により極めて速い(~1.5V/ns)立ち上がりを得ることができる。加えて、閾値電圧を可能な限り上げ、信号の立ち上がり直近に置くことでリーディングエッジ法を採用し、その利点を最大限に発揮できる設計とした。閾値電圧の値を MPPC の各チャンネルについて精度よく一致させるために、オフセット調整として6bit の高精度電流 DAC 回路とオフセット自動補償回路を実装した。また、チャンネル間のバスの違いによる時間のズレを最小に抑えるため高精度遅延回路を実装した。MPPC 信号出力部は次世代技術の統合を視野にいれ、エネルギー情報取得のための全ピクセル加算出力と位置情報取得のための個別出力の両方を実装した。SPICE シミュレーション上では、Time-walk が 220ps(FWHM)、Timing-jitter が 105ps(FWHM)と時間分解能は総合で 350ps(FWHM)と今までにない高精度な時間検出ができたと期待できる。

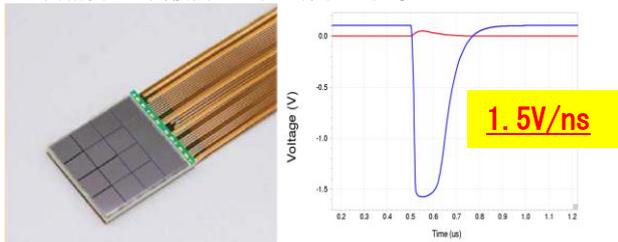


Fig.1 大面積 MPPC アレイ(左) SPICE 回路シミュレーション(右)

## 【LSI の開発】

本チップの回路設計には JAXA の Open-IP を活用し、台湾セミコンダクター社 (TSMC) の 0.35 ミクロン CMOS プロセスによる製造を行

った。MPPC アレイとの併用及びモジュール化を想定し 16 チャンネルの同時信号処理を行えるよう設計した。チップサイズは  $3.3 \times 3.0 \text{ mm}^2$  と非常にコンパクトであり、ペラチップは 80pin のセラミック QFP にパッケージングされている(Fig.2)。

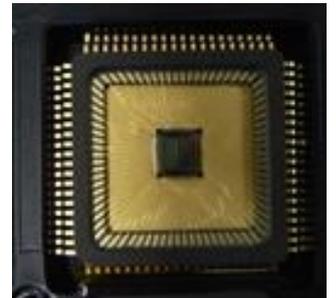
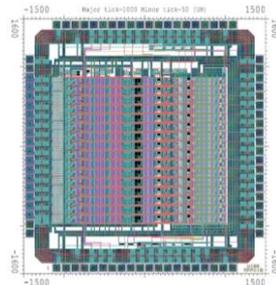
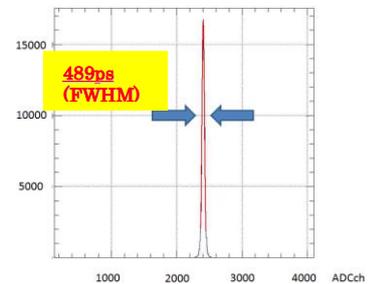


Fig.2 設計した LSI のレイアウト図 (左) 完成した LSI (右)

## 【性能評価】

チップ単体の性能評価としてピコ秒パルスレーザー (パルス幅 54ps、波長 655nm)を用いた Time-jitter を評価した。

LSI 評価ボードに搭載した  $4 \times 4$  チャンネル 3 ミリ角 50 ミクロンタイプの MPPC アレイ(以下、MPPC ユニット)にレーザーを照射した結果、Time-jitter は 105ps (FWHM)となった。さらに2枚の MPPC ユニットの対向させコインシデンスでの時間分解能を評価した結果、489ps(FWHM)の時間分解能を達成し MPPC アレイ特有の問題を克服して単素子と遜色ない性能を発揮できた。



## 【まとめ】

本研究では次世代 PET 技術の統合を視野に入れ MPPC アレイを主検出器とする多チャンネル・高時間分解能 LSI の設計開発を行った。MPPC アレイを用いた実測でも 500ps を切る時間分解能が達成され、これは現在 PMT ベースで開発されている PET 検出器に比べて遜色のない優れた性能である。本研究により、MPPC アレイ及び本 LSI が TOF-技術において有用であることがわかり、また次世代 PET 技術の統合に向け大きな前進となることが確信できた。

## 【研究業績リスト】

- (1) [講演] 安部 貴裕 他、「次世代 TOF-PET に向けた MPPC アレイ専用超高速 LSI の開発及び性能評価」、日本物理学会 2013 年秋季大会, 22aSJ-13 .
- (2) [講演] 安部 貴裕 他、「次世代 TOF-PET に向けた MPPC アレイ専用超高速 LSI の開発及び性能評価」、日本物理学会 2013 年第 68 回年次大会, 28pHB-3
- (3) [講演] 安部 貴裕 他、「次世代 TOF-PET に向けた MPPC アレイ専用超高速 LSI の開発」、日本物理学会 2012 年秋季大会, 12aSB-9.
- (4) [国際学会ポスター] T. Ambe et al. Development and Evaluation of an ultra-fast ASIC for future PET scanners using TOF-capable MPPC array detectors, HSTD9, Hiroshima .
- (5) [論文] T. Ambe et al. (同上), NIM-A accepted.